

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223771

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶H 0 1 L 21/8234
27/088
29/78

識別記号

F I

H 0 1 L 27/08
29/781 0 2 D
3 0 1 G
3 0 1 X

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号

特願平9-28132

(22) 出願日

平成9年(1997) 2月12日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 藤田 晴光

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

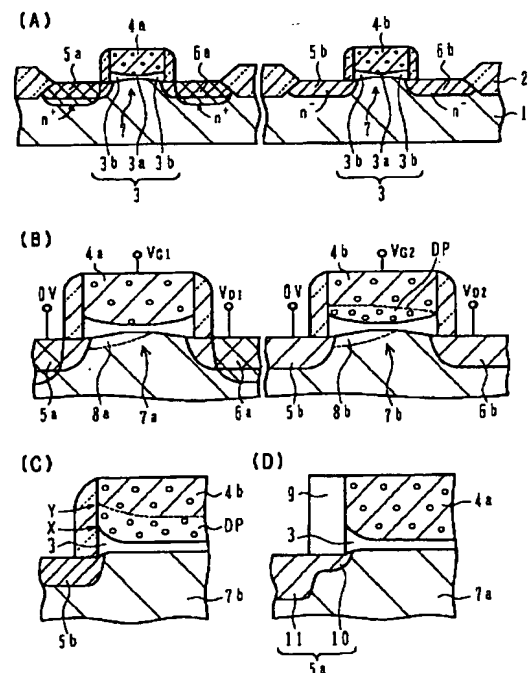
(74) 代理人 弁理士 高橋 敬四郎 (外2名)

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 複数の電圧レベルを扱う半導体装置とその製造方法に関し、製造工程の増加を抑制し、かつ低電圧回路用のMOSトランジスタの性能の低下も抑制することのできる多電源デバイスを提供する。

【解決手段】 比較的低電圧で駆動されるMOSトランジスタと比較的高電圧で駆動されるMOSトランジスタとを同一半導体基板上に有する半導体装置であって、前記比較的高電圧で駆動されるMOSトランジスタは、前記半導体基板中の第1導電型の第1活性領域と、前記第1活性領域上に形成され、トランジスタの電流方向に関し、側端部において中央部より増大した厚さを有する第1ゲート酸化膜と、前記第1ゲート酸化膜上に形成され、第1導電型と逆の第2導電型不純物を比較的低濃度にドーピングされた第1電極とを有し、前記比較的低電圧で駆動されるMOSトランジスタは、前記半導体基板中の第1導電型の第2活性領域と、前記第2活性領域上に形成された第2ゲート酸化膜と、前記第2ゲート酸化膜上に形成され、比較的高濃度の第2導電型不純物をドーピングされた第2電極とを有する。



1

【特許請求の範囲】

【請求項 1】 比較的低電圧で駆動される MOS トランジスタと比較的高電圧で駆動される MOS トランジスタとを同一半導体基板上に有する半導体装置であって、前記比較的高電圧で駆動される MOS トランジスタは、前記半導体基板中の第 1 導電型の第 1 活性領域と、前記第 1 活性領域上に形成され、トランジスタの電流方向に関し、側端部において中央部より増大した厚さを有する第 1 ゲート酸化膜と、

前記第 1 ゲート酸化膜上に形成され、第 1 導電型と逆の第 2 導電型不純物を比較的低濃度にドーピングされた第 1 電極とを有し、前記比較的低電圧で駆動される MOS トランジスタは、

前記半導体基板中の第 1 導電型の第 2 活性領域と、前記第 2 活性領域上に形成された第 2 ゲート酸化膜と、前記第 2 ゲート酸化膜上に形成され、比較的高濃度の第 2 導電型不純物をドーピングされた第 2 電極とを有する半導体装置。

【請求項 2】 前記第 2 ゲート酸化膜は、トランジスタの電流方向に関し、側端部において中央部より増大した厚さを有する請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 ゲート酸化膜および第 2 ゲート酸化膜の中央部は等しい厚さを有する請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 電極と第 2 電極は、トランジスタの電流方向に関し、側端部で丸められた断面形状を有する請求項 2 または 3 記載の半導体装置。

【請求項 5】 前記比較的低電圧で駆動される MOS トランジスタは、前記第 2 活性領域内に形成され、前記第 2 電極の 1 端部と基板表面内で一部重なり合い、低濃度の第 2 導電型不純物をドーピングされた低濃度電流端子領域と、

前記第 2 電極と逆の側で前記低濃度電流端子領域に隣接し、前記第 2 活性領域中に形成された高濃度電流端子領域とを有し、前記比較的高電圧で駆動される MOS トランジスタは、

前記第 1 活性領域を取り囲むフィールド絶縁膜と、前記フィールド絶縁膜と前記第 1 電極との間の領域に形成され、第 1 電極の端部と基板表面内で重なり合い、低濃度の第 2 導電型不純物をドーピングされた電流端子領域とを有する請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 6】 さらに、前記半導体基板中に形成された第 2 導電型の第 3 および第 4 の活性領域と、

前記第 3、第 4 の活性領域中に形成され、第 1 導電型にドーピングされた第 3、第 4 の電極を有する一対の MOS トランジスタとを有する請求項 1 ～ 5 のいずれかに記載の半導体装置。

【請求項 7】 第 1 導電型の複数の活性領域を有する半導体基板を準備する工程と、

2

前記複数の活性領域上に第 1 ゲート酸化膜を形成する工程と、

前記第 1 ゲート酸化膜上に電極層を形成する工程と、前記電極層をパターニングし、前記複数の活性領域の各々の上にゲート電極パターンを形成する工程と、

前記ゲート電極パターンの表面を酸化し、前記第 1 ゲート酸化膜と一体化し、ゲート電極パターンの側壁から中央部に向かって次第に厚さの減少する第 2 ゲート酸化膜を形成する工程と、

前記ゲート電極パターンをマスクとして前記複数の活性領域に前記第 1 導電型と逆の第 2 導電型の不純物を低濃度でドーピングし、前記ゲート電極パターンとその両側の活性領域を低濃度にドーピングする第 1 ドーピング工程と、前記複数の活性領域の一部をマスクで覆い、残りの活性領域に第 2 導電型不純物を高濃度にドーピングし、ゲート電極パターンとその両側の活性領域を高濃度にドーピングする第 2 ドーピング工程とを含む複数の MOS トランジスタを有する半導体装置の製造方法。

【請求項 8】 前記第 1 ドーピング工程と前記第 2 ドーピング工程とが不純物をイオン注入する工程を含む請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記第 1 ドーピング工程と前記第 2 ドーピング工程との間に、前記ゲート電極パターンの側壁上に絶縁物のスペーサを形成する工程を含む請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記複数の MOS トランジスタが、比較的高電圧で駆動される MOS トランジスタと比較的低電圧で駆動される MOS トランジスタとを含む請求項 7 ～ 9 のいずれかに記載の半導体装置の製造方法。

【請求項 11】 前記第 1 ゲート酸化膜を形成する工程は、前記比較的高電圧で駆動される MOS トランジスタと前記比較的低電圧で駆動されるトランジスタとに対して共通に同一工程でゲート酸化膜を形成する請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記比較的高電圧で駆動される MOS トランジスタのゲート電極パターンは比較的低濃度にドーピングされ、前記比較的低電圧で駆動される MOS トランジスタのゲート電極パターンは比較的高濃度にドーピングされる請求項 11 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、特に複数の電圧レベルを扱う半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置の駆動電圧は、省電力化のため低くなる傾向にある。たとえば、TTL 等のアナログ回路は 5 V 電源で開発されたが、その後開発されたデジタル回路は通常 3.3 V 電源で駆動される。デジタル回路の駆動電源は、さらに 2.5 V に低減される

傾向にある。メモリ装置等においては、さらなる低電圧化も行なわれている。信号レベルは、たとえば電源電圧の7割以上が“1”、3割以下が“0”というように電源電圧に依存する。

【0003】何種類かの機能回路を含む集積回路装置においては、複数の電圧レベルを扱うことを要求されることがある。このようなデバイスを便宜的に多電源デバイスと呼ぶ。多電源デバイスは、比較的に高電圧の電源で駆動される高電圧回路と比較的低電圧の電源で駆動される低電圧回路とを含む。

【0004】金属-酸化膜-半導体(MOS)トランジスタにおいては、ソース電極は接地され、ドレイン電極には電源電圧が印加される。ゲート電極には、接地電位と電源電圧とが選択的に印加される。ゲート酸化膜は、ソース電極の近傍においては、電源電圧に対応する耐圧を有することが要求される。多電源デバイスにおいては、低電圧回路と高電圧回路において、ゲート電極に印加される電圧レベルが異なる。

【0005】ある種の多電源デバイスにおいては、低電圧回路のMOSトランジスタと高電圧回路のMOSトランジスタとでゲート酸化膜の厚さを異ならせている。低電圧回路用のMOSトランジスタは薄いゲート酸化膜を有し、高電圧回路用のMOSトランジスタは厚いゲート酸化膜を有する。このように、電源電圧に応じてゲート酸化膜の厚さを異ならせることにより、低電圧回路でも高電圧回路でも高性能のMOSトランジスタを用いることができる。しかしながら、ゲート酸化膜の厚さを異ならせるためには、ゲート酸化膜形成工程を別にする必要がある。このため、製造工程が増加し、生産コストが上昇してしまう。

【0006】同一の厚さを有するゲート酸化膜を用いて低電圧回路と高電圧回路を作成しようとする場合、低電圧回路のMOSトランジスタも高電圧回路のMOSトランジスタと同一の厚さに形成することになる。高電圧回路の耐圧を満たすゲート酸化膜厚は、低電圧回路では不必要に厚いゲート酸化膜となり、MOSトランジスタの性能が低下してしまう。

【0007】

【発明が解決しようとする課題】以上説明したように、多電源デバイスにおいて、同一の製造工程によって低電圧回路と高電圧回路を作成しようすると、低電圧回路用のMOSトランジスタの性能が低下してしまう。

【0008】本発明の目的は、製造工程の増加を抑制し、かつ低電圧回路用のMOSトランジスタの性能の低下も抑制することのできる多電源デバイスを提供することである。

【0009】本発明の他の目的は、同一の製造工程で形成し、かつ高電圧回路用のMOSトランジスタにおいては、耐圧を向上させた絶縁ゲート電極を有する半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明の一観点によれば、比較的低電圧で駆動されるMOSトランジスタと比較的高電圧で駆動されるMOSトランジスタとを同一半導体基板上に有する半導体装置であって、前記比較的高電圧で駆動されるMOSトランジスタは、前記半導体基板中の第1導電型の第1活性領域と、前記第1活性領域上に形成され、トランジスタの電流方向に関し、側端部において中央部より増大した厚さを有する第1ゲート酸化膜と、前記第1ゲート酸化膜上に形成され、第1導電型と逆の第2導電型不純物を比較的低濃度にドーブされた第1電極とを有し、前記比較的低電圧で駆動されるMOSトランジスタは、前記半導体基板中の第1導電型の第2活性領域と、前記第2活性領域上に形成された第2ゲート酸化膜と、前記第2ゲート酸化膜上に形成され、比較的高濃度の第2導電型不純物をドーブされた第2電極とを有する半導体装置が提供される。

【0011】本発明の他の観点によれば、第1導電型の複数の活性領域を有する半導体基板を準備する工程と、前記複数の活性領域上に第1ゲート酸化膜を形成する工程と、前記第1ゲート酸化膜上に電極層を形成する工程と、前記電極層をパターンニングし、前記複数の活性領域の各々の上にゲート電極パターンを形成する工程と、前記ゲート電極パターンの表面を酸化し、前記第1ゲート酸化膜と一体化し、ゲート電極パターンの側壁から中央部に向かって次第に厚さの減少する第2ゲート酸化膜を形成する工程と、前記ゲート電極パターンをマスクとして前記複数の活性領域に前記第1導電型と逆の第2導電型の不純物を低濃度でドーブし、前記ゲート電極パターンとその両側の活性領域を低濃度にドーブする第1ドーブ工程と、前記複数の活性領域の一部をマスクで覆い、残りの活性領域に第2導電型不純物を高濃度にドーブし、ゲート電極パターンとその両側の活性領域を高濃度にドーブする第2ドーブ工程とを含む複数のMOSトランジスタを有する半導体装置の製造方法が提供される。

【0012】ゲート酸化膜の厚さを、端部において中央部よりも厚くすることにより、電界の集中するゲート電極端部における耐圧を向上させることができる。さらに、高電圧回路用のMOSトランジスタにおいては、シリコン電極の不純物ドーブ量を低減させることにより、シリコン電極中のチャンネル側において空乏層を発達させることができる。空乏層が発達すると、実効的なゲート絶縁膜の厚さが向上し、耐圧が向上する。

【0013】

【発明の実施の形態】図1は、本発明の実施例による多電源デバイスのMOSトランジスタを概略的に示す断面図である。

【0014】図1(A)において、左側に低電圧回路内のMOSトランジスタを示し、右側に高電圧回路内のMOSトランジスタを示す。たとえば、シリコン基板1の

5

表面上にフィールド酸化膜 2 が形成され、活性領域を画定している。活性領域表面には、ゲート酸化膜 3 が形成されている。ここで、ゲート酸化膜 3 は、MOS トランジスタ内を流れる電流方向に関し、側端部 3 b から中央部 3 a に向かって次第に減少する厚さを有する。

【0015】ゲート酸化膜 3 の上には、多結晶シリコン電極 4 a、4 b が形成されている。低電圧回路用の多結晶シリコン電極 4 a は、高電圧回路用の多結晶シリコン電極 4 b よりも高濃度に不純物をドーピングされている。たとえば、多結晶シリコン電極 4 a の不純物濃度は $1.0 \times 10^{20} \text{ cm}^{-3}$ であり、多結晶シリコン電極 4 b の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度である。

【0016】ゲート電極 4 a、4 b の側端部には、酸化シリコンからなる側壁スペーサが形成されている。基板上では、低電圧回路内の MOS トランジスタのゲート 4 a の側壁スペーサの下側には、浅く低濃度でゲート電極と同一導電型の不純物がドーピングされた領域 (LDD) が形成されており、LDD を挟んでゲート電極と反対側には、深く高濃度で不純物がドーピングされた領域 5 a、6 a (n^+) が形成されている。一方、高電圧回路内の MOS トランジスタのゲート 4 b の側壁スペーサ下側およびそれに隣接してゲート電極の反対側に、浅く低濃度でゲート電極と同一導電型の不純物がドーピングされたソース、ドレイン領域 5 b、6 b が形成されている。このソース、ドレイン領域 5 b、6 b の不純物濃度は、高電圧回路内の MOS トランジスタのゲート電極中の不純物濃度と同様であり、 $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度である。

【0017】なお、低電圧回路内の MOS トランジスタおよび高電圧回路内の MOS トランジスタのゲート酸化膜 3 は、中央部においては、共に等しい厚さを有している。ソース/ドレイン領域 5、6 間には、ゲート電極 4 下にチャンネル領域 7 が画定される。

【0018】図 1 (B) は、ゲート電極、ソース/ドレイン領域に電圧を印加した状態を示す。ソース領域 5 は、接地電位 (0 V) に接続され、ドレイン領域 6 は電源電圧 V_{D1} 、 V_{D2} に接続される。ゲート電極 4 には、トランジスタをオン状態にするか、オフ状態にするかに依存して変化するゲート電圧 V_{G1} 、 V_{G2} が印加される。ここで、低電圧回路においては、オン状態の V_{G1} および V_{D1} が低電圧レベルの電源電圧であり、高電圧回路においては、オン状態の V_{G2} および V_{D2} が高電圧回路用の電源電圧である。

【0019】左側に示す低電圧回路用の MOS トランジスタにおいては、ゲート電極 4 a に電源電圧 V_{G1} が印加された時、チャンネル 7 a に反転層 8 a が誘起される。ソース領域 5 a、反転層 8 a とゲート電極 4 a との間の電圧をゲート酸化膜 3 a で受ける。ゲート酸化膜 3 a は低電圧回路の電源電圧に適合するように選択される。

【0020】高電圧回路用の MOS トランジスタにおい

6

ては、ゲート電極 4 b に電源電圧 V_{G2} が印加された時、チャンネル領域 7 b に反転層 8 b が誘起されると共に、低濃度にドーピングされたゲート電極 4 b のチャンネル側において空乏層 DP が形成される。空乏層 DP は実効的に絶縁層として機能するため、ゲート電極 4 b 下のゲート絶縁膜に印加される電界は緩和される。

【0021】なお、オフ状態におけるゲート・ドレイン間の耐圧は、ゲート酸化膜 3 が側端部において中央部よりも増大した厚さを有しているため、ゲート酸化膜に印加される電界は緩和される。

【0022】ゲート酸化膜 3 が側端部において中央部よりも増大した厚さを有し、かつゲート電極 4 b 内に空乏層 DP が発生することにより、ゲート酸化膜 3 自体は低電圧回路におけるゲート酸化膜 3 と同一の厚さを有するものであっても、高電圧回路用 MOS トランジスタにおいてゲート絶縁膜の耐圧が向上する。

【0023】図 1 (C) は、高電圧回路用の MOS トランジスタのソース領域 5 b とゲート電極 4 b の一部を拡大して示す。ゲート電極 4 b がソース領域 5 b と同一電位である場合、シリコンで形成されたゲート電極 4 b 全体がゲート電極として機能する。

【0024】ゲート電極 4 b に電源電圧を印加すると、ソース領域 5 b、チャンネル領域 7 b とゲート電極 4 b との間に逆方向バイアスが働き、空乏層 DP が発達する。ゲート電極 4 b は、実効的に破線で示す境界を有することになる。下端部においては、ゲート電極の実効位置が X から Y の位置に移動する。このように、高電圧回路用 MOS トランジスタのゲート電極に高電圧を印加した時、ゲート電極中の空乏層領域によりゲート酸化膜に印加される電界が緩和するため、耐圧が向上する。

【0025】さらに、ゲート酸化膜 3 が側端部において中央部よりも厚く形成されているため、高電界が印加されるゲート電極端部におけるゲート絶縁膜の厚さがさらに向上する。また、ゲート酸化膜 3 とゲート電極 4 b の境界が、ソース領域 5 b に向かって凸の滑らかな曲線を描くことにより、電界集中が緩和される。

【0026】図 1 (D) は、低電圧回路用の MOS トランジスタのソース領域 5 a とゲート電極 4 a の一部を拡大して示す断面図である。なお、ゲート電極 4 a 側壁上には、絶縁側壁スペーサ 9 が形成されている。また、ソース領域 5 a は、基板平面内においてゲート電極 4 a と一部重なり合う低不純物濃度の延長部 (LDD 部) 10 と、絶縁スペーサ 9 の端部と位置整合した高不純物濃度のソース領域 11 とによって形成されている。高不純物濃度のソース領域 11 は、ソース領域全体としての実効抵抗を低減させる。

【0027】ゲート電極 4 a は高濃度に不純物をドーピングされているため、高電圧を印加されても空乏層は発達しない。ゲート酸化膜 3 の厚さを最適の値に選択することにより、高性能の MOS トランジスタが形成される。

10

20

30

40

50

【0028】以上説明した両トランジスタにおいて、ソース／ドレイン領域に近い側端部において中央部よりも厚さの厚いゲート酸化膜は、ゲート電極パターンニング後に熱酸化を行なうことにより、形成することができる。

【0029】図2は、ゲート電極パターンニング後に熱酸化を行なった時、ゲート電極表面等に形成される酸化膜形状をシミュレーションした結果を示す。シリコン基板1表面上に、厚さ約9 nmのゲート酸化膜3を形成し、その上に厚さ約300 nmの多結晶シリコンゲート電極4を形成する。多結晶シリコンゲート電極4をリソグラフィとエッチングによりパターンニングした後、950℃で60分間の熱酸化を、O₂ 雰囲気中で行い、シリコン基板1表面上で約30 nmの酸化膜OXを成長した。

【0030】この時、ゲート電極側端部において、その下部に酸化膜OXが食い込み、ゲート電極4の側端部形状が丸め込まれると共に、ゲート酸化膜3の厚さが増大している。その後、ゲート電極4およびその表面上に形成された酸化膜をマスクとしてイオン注入を行なうと、図に示すように、ゲート電極4と一部重なり合うソース／ドレイン領域5が形成される。なお、ゲート電極4側壁上の酸化膜表面からソース／ドレイン領域5先端までの長さは50 nmであり、ゲート電極4側壁からの長さは約30 nmである。ゲート酸化膜の厚さの増加した部分は、ソース／ドレイン領域5先端よりもゲート電極中央部に向かって深く入り込んでいる。

【0031】このように、多結晶シリコンゲート電極パターンニング後、熱酸化を行なうことにより、ゲート酸化膜3を端部において中央部よりも厚くし、かつゲート電極4端部の角を丸め込むことができる。図2の場合、ゲート電極端部でのゲート酸化膜厚は約40 nmであり、中央部のゲート酸化膜厚9 nmの4倍以上であるが、少なくとも2倍以上、より好ましくは3倍以上とすることが好ましい。

【0032】図3は、多電源デバイスの構成例を概略的に示す。図3(A)において、半導体集積回路チップIC内には、低電圧回路CK1と高電圧回路CK2が形成される。たとえば、低電圧回路CK1はデジタル回路であり、高電圧回路CK2はアナログ回路である。低電圧回路CK1と、高電圧回路CK2との間には、電圧レベル変換回路CK3が配置されている。

【0033】周辺部には入力用パッドIP1、IP2、電源用パッド、PP1、PP2、出力用パッドOP1、OP2が配置されている。パッドIP1、PP1、OP1は、低電圧回路CK1用のパッドであり、パッドIP2、PP2、OP2は高電圧回路CK2用のパッドである。

【0034】図3(B)は、多電源デバイスの他の構成例を示す。低電圧回路CK1の周囲には、電圧レベル変換回路CK3を介して高電圧回路CK2が配置されている。たとえば、高電圧回路CK2は入出力回路であ

る。チップ周辺部には、高電圧レベル用のパッドIP2、PP2、OP2が配置されている。

【0035】図4～図6は、本発明の実施例による多電源デバイスの製造工程を概略的に示す断面図である。なお、図中左側の部分が低電圧回路用の領域であり、右側の部分が高電圧用の領域である。

【0036】図4(A)に示すように、p型シリコン基板11の表面領域には、n型ウェル111、114、p型ウェル112、113が形成されている。シリコン基板表面には、厚さ約400 nmのフィールド酸化膜12が周知のLOCOS工程によって形成され、活性領域を取り囲んでいる。活性領域表面には、厚さ約9 nmのゲート酸化膜13が、たとえばドライ熱酸化によって形成される。厚さ約9 nmのゲート酸化膜は、低電圧駆動時に最適のゲート酸化膜である。

【0037】なお、図4(A)において、左側のn型ウェル111およびp型ウェル112は、低電圧回路用MOSTランジスタが形成される領域として、右側のn型ウェル113およびp型ウェル114は、高電圧回路用MOSTランジスタが形成される領域として提供される。上記ゲート酸化膜13は、一度の工程で、低電圧回路用のn型ウェル111およびp型ウェル112、高電圧回路用のn型ウェル113およびp型ウェル114上に共通に形成されるので、異なる膜厚を有するゲート酸化膜を作り分ける必要がなくなる。

【0038】図4(B)に示すように、ゲート酸化膜13を形成した基板表面上に、たとえば厚さ約200 nmの多結晶シリコン膜14を低圧CVD(LPCVD)によって形成する。

【0039】図4(C)に示すように、多結晶シリコン膜14表面上に、ゲート電極をパターンニングするためのレジストパターン21を形成し、レジストパターン21をエッチングマスクとして多結晶シリコン膜14をエッチングする。このようにして、活性領域上にゲート電極14aを形成する。その後、レジストパターン21は除去する。

【0040】図4(D)に示すように、ゲート電極14aをパターンニングしたシリコン基板11に対し、O₂ 雰囲気中で950℃、60分間のドライ熱酸化を行い、シリコン基板11表面上で厚さ約30 nmの酸化膜13aを成長させる。なお、多結晶シリコンのゲート電極14a表面上には、シリコン基板表面上よりも厚いシリコン酸化膜が成長する。

【0041】ここで、シリコン表面を熱酸化することにより、ゲート電極14a下部においては、図2に示したように、ゲート電極端部から中央部に向かって熱酸化が進行し、シリコン酸化膜13aの厚さがゲート電極14a側端部から中央部に向かって緩やかに減少するシリコン酸化膜が形成される。シリコン酸化膜の成長と共に、多結晶シリコンのゲート電極14aの下端形状も角が丸

9

め込まれる。このゲート電極下部の酸化膜の成長は、 L O C O S におけるバズビークと類似のものと考えられる。

【0042】図5 (A) に示すように、 n 型ウェル111、114を覆い、 p 型ウェル112、113を露出するレジストパターン22を形成し、 P^+ イオンまたは $A s^+$ イオンの n 型不純物のイオン注入を行なう。たとえば、加速エネルギー $20 \sim 80 \text{ keV}$ でドーズ量 $2 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ の n 型不純物イオン注入を行なう。

【0043】このイオン注入によって形成された多結晶シリコンのゲート電極14a中には、約 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の n 型不純物がドーピングされる。ゲート電極14a側壁上のシリコン酸化膜から、 n 型不純物ドーピング領域の端部までの距離は、約 50 nm となる。すなわち、 n 型不純物ドーピング領域が、ゲート電極14a下部に入り込み、重なり領域を持つ。その後、レジストパターン22は除去する。

【0044】図5 (B) に示すように、 p 型ウェル112、113を覆い、 n 型ウェル111、114を露出するレジストパターン23を形成する。このレジストパターン23をイオン注入マスクとし、 B^+ または $B F_2^+$ イオンの p 型不純物イオン注入を行なう。 p 型不純物イオン注入のドーズ量は、図5 (A) に示した n 型不純物のドーズ領域 $2 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ と同様である。その後、レジストパターン23は除去する。

【0045】図5 (C) に示すように、基板表面上に酸化シリコン膜19を厚さ約 200 nm CVDによって堆積する。その後、 $C H F_3 / O_2 / A r$ をエッチングガスとして反応性イオンエッチングを行い、シリコン酸化膜19、13aのエッチングを行い、ゲート電極14aの側壁に側壁スペーサ19aを残すと共に、シリコン基板表面を露出する。

【0046】なお、以上の工程により、 n 型ウェル111のゲート電極両側には、浅く低不純物濃度の p 型領域15が形成され、 p 型ウェル112表面上には浅く低不純物濃度の n 型領域16が形成され、 p 型ウェル113表面には浅く低不純物濃度の n 型領域17が形成され、 n 型ウェル114表面には浅く低不純物の p 型領域18が形成される。これらの浅く低不純物型の不純物ドーピング領域15～18は、所謂LDD領域である。

【0047】図5 (D) に示すように、 p 型ウェル112を露出し、高電圧回路の p 型ウェル113および n 型ウェル111、114を覆うレジストパターン24を形成する。レジストパターン24をイオン注入マスクとし、 P^+ または $A s^+$ の n 型不純物をイオン注入する。たとえば、加速エネルギー 40 keV で、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ のイオン注入を行い、約 $1 \times 10^{20} \text{ cm}^{-3}$ の n 型不純物濃度を有する高濃度ソース/ドレイン領域を形成する。

10

【0048】図6 (A) に示すように、図5 (D) に示すイオン注入により、 p 型ウェル112上のゲート電極14a両側に高不純物濃度のソース/ドレイン領域16aが形成される。

【0049】その後、 n 型ウェル111を露出し、 p 型ウェル112、および高電圧回路の p 型ウェル113および n 型ウェル114を覆うレジストパターン25を形成する。このレジストパターン25をイオン注入マスクとし、 n 型ウェル111に B^+ または $B F_2^+$ の p 型不純物のイオン注入を行なう。たとえば、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ のイオン注入を行い、 p 型不純物約 $1 \times 10^{20} \text{ cm}^{-3}$ のソース/ドレイン領域を形成する。

【0050】これら高濃度の不純物注入時に高電圧回路部分は全てレジストに覆われているので、ソース/ドレイン領域17、18、ゲート電極は低濃度に保たれている。

【0051】図6 (B) は、このようにして形成された高不純物濃度ソース/ドレイン領域15aを示す。その後、レジストパターン25は除去する。レジストパターンを除去した後、たとえばラビッドサーマルアニール (RTA) により、温度約 1000°C 、10秒間のアニーリングを行い、イオン注入した不純物を活性化する。

【0052】活性化後、図面中右側の高電圧回路部分においては、ゲート電極両側に深さ約 200 nm のソース/ドレイン領域が形成され、 n 型ウェル111内には深さ約 $200 \sim 300 \text{ nm}$ のソース/ドレイン領域15aが形成され、 p 型ウェル112内には深さ約 $300 \sim 400 \text{ nm}$ のソース/ドレイン領域16aが形成される。

【0053】図6 (C) に示すように、基板表面に、厚さ約 50 nm の $T i$ 膜30を、たとえばスパッタリング等によって堆積する。その後、約 650°C 、約30秒間のアニーリングを行い、高融点金属である $T i$ 膜30を下地 $S i$ と反応させ、 $T i$ シリサイド層を形成する。

【0054】この一次シリサイド反応の後、未反応 $T i$ 膜をウォッシュアウトにより除去する。未反応 $T i$ 膜を除去した後、さらに約 950°C 、約0.1秒間のアニーリングを行い、二次シリサイド反応を完結させる。このようにして、MOSトランジスタのソース/ドレイン領域上にシリサイド電極層31を形成し、ゲート電極14a上にシリサイド電極層32を形成する。

【0055】図中左側に示す低電圧回路においては、ゲート酸化膜が端部で中央部より厚いMOSトランジスタが形成される。ゲート電極およびソース/ドレイン領域は、高濃度に不純物をドーピングされる。

【0056】図中右側に示す高電圧回路においては、ゲート酸化膜が端部で中央部より厚く形成される他、ゲート電極は低不純物濃度にドーピングされる。このため、ゲート電極に逆方向バイアス電圧を印加した後、ゲート電極下部には空乏層が発生する。高電圧回路のMOSトランジスタは浅く低不純物濃度のソース/ドレイン領域しか

11

有さないが、その表面上にはシリサイド電極が形成されているため、動作上は問題を生じない。

【0057】本実施例においては、ゲート絶縁膜の厚さをゲート電極端部で中央部より厚くすると共に高電圧回路内MOSトランジスタのゲート電極の不純物濃度を低減した。このため、高電圧回路内MOSトランジスタのゲート電極においては逆方向バイアス時に空乏層が発達し、ゲート絶縁膜の膜厚変化と共にゲート絶縁膜の耐圧を向上させる。

【0058】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0059】

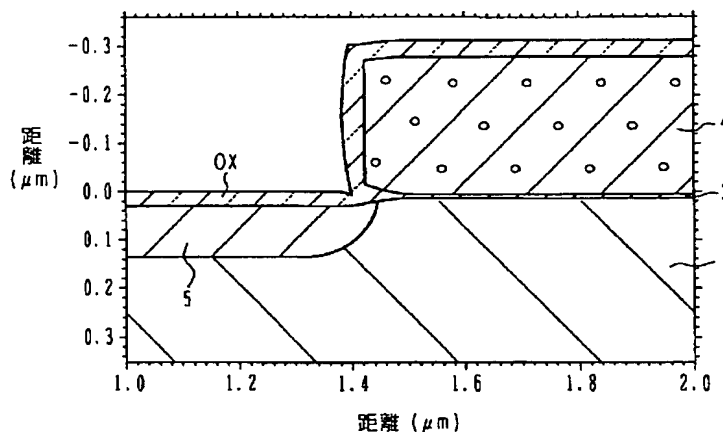
【発明の効果】以上説明したように、本発明によれば、工程数を増大させることなく、高電圧回路と低電圧回路とで特性の異なるMOSトランジスタを作成することができる。

【0060】ゲート酸化膜の厚さを異ならせることなく、ゲート絶縁膜の耐圧を異ならせたMOSトランジスタを作成することができる。このため、特性の優れた多電源デバイスを提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施例による多電源デバイスのMO *

【図2】



12

*Sトランジスタを説明するための概略断面図である。

【図2】 ゲートバタニング後の酸化により形成される酸化膜の形状を示す断面図である。

【図3】 多電源デバイスの配置を概略的に示す平面図である。

【図4】 本発明の実施例による半導体装置の製造プロセスを概略的に示す断面図である。

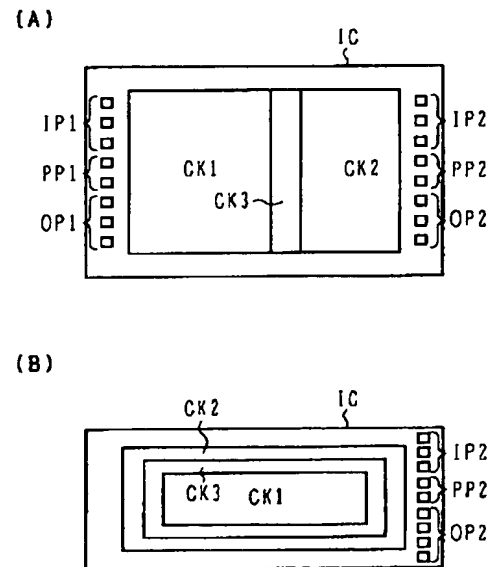
【図5】 本発明の実施例による半導体装置の製造プロセスを概略的に示す断面図である。

【図6】 本発明の実施例による半導体装置の製造プロセスを概略的に示す断面図である。

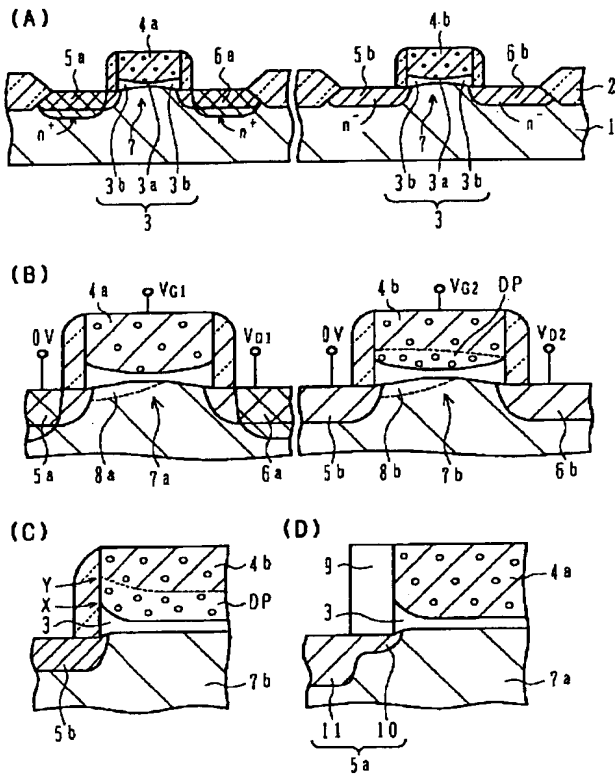
【符号の説明】

1 半導体基板、 2 フィールド酸化膜、 3 ゲート酸化膜、 4 ゲート電極、 5、6 ソース／ドレイン領域、 7 チャンネル領域、 8 反転層、 9 側壁スペーサ、 10 LDD部、 11 高不純物濃度領域、 12 フィールド酸化膜、 13 ゲート酸化膜、 14 多結晶シリコン層（ゲート電極）、 15～18 (低濃度) ソース／ドレイン領域、 15a、16a 高不純物濃度（ソース／ドレイン）領域、 21～25 レジストパターン、 30 Ti膜、 31、32 シリサイド層

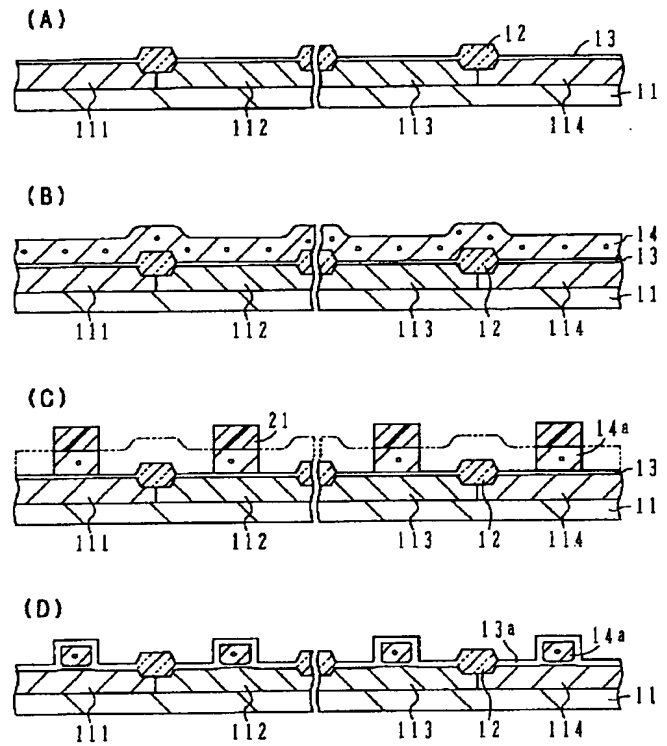
【図3】



【図 1】



【図 4】



【图 6】

